

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Ryohei NISHIMIYA

Application No.:

Group Art Unit:

Filed: February 13, 2004

Examiner: Unassigned

For: BUS SYSTEM DESIGN METHOD, BUS SYSTEM, AND DEVICE UNIT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-294845

Filed: August 19, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: February 13, 2004

By: 

Paul I. Kravetz
Registration No. 35,230

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月19日
Date of Application:

出願番号 特願2003-294845
Application Number:

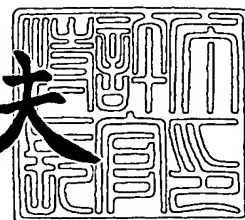
[ST. 10/C]: [JP 2003-294845]

出願人 富士通株式会社
Applicant(s):

2004年 1月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3108510

【書類名】 特許願
【整理番号】 0352008
【提出日】 平成15年 8月19日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 3/00
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 西宮 亮平
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100092978
 【弁理士】
 【氏名又は名称】 真田 有
 【電話番号】 0422-21-4222
【手数料の表示】
 【予納台帳番号】 007696
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9704824

【書類名】 特許請求の範囲**【請求項 1】**

複数のデバイスユニットと当該デバイスユニットを接続可能に構成されたデータバスと該デバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源と該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと当該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムの設計方法であって、

該タイミング信号の周期と、該デバイスユニットにおける信号伝搬遅延と、該タイミング信号バスおよび該データバスにおける信号伝搬遅延と、該データバスに接続された該デバイスユニットもしくはデバイスにおけるセットアップタイムとに基づいて、該データバスに前記デバイスユニットを活性接続することによって生じるノイズが、該データバスに接続された当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスへ伝搬するタイミングを算出するノイズ伝搬計算ステップと、

該ノイズ伝搬計算ステップにおいて算出した該タイミングに基づいて、該デバイスユニットと該データバスとの接続タイミングを算出する接続タイミング算出ステップとをそなえることを特徴とする、バスシステム設計方法。

【請求項 2】

該接続タイミング算出ステップにおいて、該デバイスユニットと該タイミング信号バスとが接続されてから該デバイスユニットと該データバスとを該バススイッチが接続させるまでの遅延時間 b を算出することにより、該デバイスユニットと該データバスとの接続タイミングを算出することを特徴とする、請求項 1 記載のバスシステム設計方法。

【請求項 3】

該ノイズ伝搬計算ステップにおいて、該タイミング信号の周期 T と、該タイミング信号供給源から該バススイッチ制御部までのスキュー a と、前記バススイッチの遅延時間 b と、該バススイッチ制御部と該バススイッチとの間における信号伝搬遅延時間 c と、該バススイッチの動作遅延時間 d と、該ノイズのパルス幅（時間） e と、該デバイスユニットおよび該データバスにおける該ノイズの伝搬遅延時間 f と、該タイミング信号供給源から当該デバイスユニット以外のデバイスユニットもしくはデバイスまでのスキュー g と、該バスシステムにおけるセットアップタイム S とに基づいて、該ノイズが当該デバイスユニット以外の前記デバイスユニットもしくは該データバスに接続されたデバイスに到達してから該セットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ } を、該ノイズの伝搬タイミングとして算出し、

該接続タイミング算出ステップにおいて、該タイミングマージン M が 0 以上となるような前記バススイッチの遅延時間 b を算出することを特徴とする、請求項 2 記載のバスシステム設計方法。

【請求項 4】

複数のデバイスユニットと、

当該デバイスユニットを接続可能に構成されたデータバスと、

該デバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源と、

該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、

該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムであって、

該バススイッチ制御部が、該デバイスユニットと該タイミング信号バスとが接続されてから遅延時間 b 経過後に該デバイスユニットと該データバスとを接続させるように該バススイッチを制御するものであり、

該遅延時間 b が、該タイミング信号の周期 T と、該タイミング信号供給源から該バススイッチ制御部までのスキュー a と、前記バススイッチの遅延時間 b と、該バススイッチ制御部と該バススイッチとの間における信号伝搬遅延時間 c と、該バススイッチの動作遅延

時間 d と、該データバスに該デバイスユニットを活性接続することによって生じるノイズのパルス幅（時間） e と、該デバイスユニットおよび該データバスにおける該ノイズの伝搬遅延時間 f と、該タイミング信号供給源から当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスまでのスキュー g と、該バスシステムにおけるセットアップタイム S とに基づいて、該ノイズが当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスに到達してから該セットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ } が 0 以上となるような値であることを特徴とする、バスシステム。

【請求項 5】

データバスとタイミング信号供給源と当該タイミング信号供給源に接続されたタイミング信号バスとをそなえたデバイスユニットに接続可能なデバイスユニットであって、

当該デバイスユニットと該データバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、

該バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえ、

該バススイッチ制御部が、該デバイスユニットと該タイミング信号バスとが接続されてから遅延時間 b 経過後に該デバイスユニットと該データバスとを接続させるように該バススイッチを制御するものであり、

該遅延時間 b が、該タイミング信号の周期 T と、該タイミング信号供給源から該バススイッチ制御部までのスキュー a と、前記バススイッチの遅延時間 b と、該バススイッチ制御部と該バススイッチとの間における信号伝搬遅延時間 c と、該バススイッチの動作遅延時間 d と、該ノイズのパルス幅（時間） e と、該デバイスユニットおよび該データバスにおける該データバスに前記デバイスユニットを活性接続することによって生じるノイズの伝搬遅延時間 f と、該タイミング信号供給源から当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスまでのスキュー g と、該バスシステムにおけるセットアップタイム S とに基づいて、該ノイズが該データバスに接続された当該デバイスユニット以外のデバイスユニットもしくは該データバスに接続されたデバイスに到達してから該セットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ } が 0 以上となるような値であることを特徴とする、デバイスユニット。

【書類名】 明細書**【発明の名称】** バスシステム設計方法、バスシステムおよびデバイスユニット**【技術分野】****【0001】**

本発明は、例えばストレージシステムにおいて用いられている P C I バスのように、同一バスに対して複数のデバイスユニットを接続可能なバスシステムに関し、又、当該バスシステムの設計に用いて好適なバスシステム設計方法並びにそのバスシステムに活性接続可能なデバイスユニットに関する。

【背景技術】**【0002】**

例えば、複数のディスクユニット（磁気ディスク装置、物理デバイス）をそなえ、サーバ（ホスト）からのアクセスに応じて、サーバからのデータをこれらのディスクユニットに書き込んだり、サーバから要求されたデータをディスクユニットから読み出して転送したりするストレージ装置においては、ファイバチャネルインターフェースバスを介してサーバとのインターフェース（データ転送）を制御するホストインターフェースモジュールがそなえられている。

【0003】

このホストインターフェースモジュールは、P C I バス（インターフェースバス）を介して P C I ブリッジモジュールに接続され、同じく P C I バスを介して P C I ブリッジモジュールに接続されたディスクインターフェースモジュールや管理モジュール等との間でデータ転送を行なうようになっている。

ホストインターフェースモジュールは、プリント基板上に C P U やメモリ等を配設することによって構成されたユニットとして構成されており、このように構成されたホストインターフェースモジュールを、P C I バスが形成されたマザーボード上に取り付ける（挿入する）ことにより、ホストインターフェースモジュールを構成するデバイスが P C I バスにデータ通信可能に接続されるようになっていて、これにより必要数のホストインターフェースモジュールをそなえたストレージ装置を容易に構成することができるようになっている。

【0004】

さて、マザーボード（P C I バス）にホストインターフェースモジュールを活性挿入（活性接続）すると、この接続（挿入）によって P C I バス上にノイズが生じ、P C I バス上に接続された他のホストインターフェースモジュールやマザーボードを構成する種々のデバイスに影響を与え、これらの他のデバイスの誤動作等の原因になる。

一般に、このような、ホストインターフェースモジュールの活性挿入による影響を防止するために、P C I バスのバス動作を停止させている。又、例えば、特開平 7-253834 号公報（下記特許文献 1）には、活性挿抜時にモジュールが故障したり誤作動したりすることを防止するために、活性挿抜時に一部のスイッチの接続又は切り離しを行なうことによりノイズの伝搬を抑止するモジュール挿抜制御装置が開示されている。

【特許文献 1】 特開平 11-275549 号公報（第 3-4 頁、第 1 図、第 2 図）

【発明の開示】**【発明が解決しようとする課題】****【0005】**

しかしながら、ホストインターフェースモジュールを挿入するために P C I バスのバス動作を停止（非活性化）させると、この停止中には P C I バスを介したデータ転送を行なうことができずデータの転送効率が低下するという課題がある。又、ホストインターフェースモジュールが P C I バスに挿入されたか否かの監視や、P C I バスを停止させるための各種の制御が必要になるので、系の制御が繁雑になるとともにシステムの設計の効率が低下するという課題もある。

【0006】

また、活性挿抜（活性接続）を行なうために専用の制御装置をそなえる場合には、この

制御装置をそなえることにより、装置の製造コストが上昇したり装置が大型化したりするという課題もある。

本発明は、このような課題に鑑み創案されたもので、デバイスユニットの活性接続を行なっても、同一のデータバスに接続された他のデバイスユニットやデバイスにノイズの影響がないバスシステムおよびデバイスユニット並びに当該バスシステムの設計方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

このため、本発明のバスシステム設計方法（請求項1）は、複数のデバイスユニットとこのデバイスユニットを接続可能に構成されたデータバスとデバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源とデバイスユニットとデータバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチとこのバススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムの設計方法であって、タイミング信号の周期と、デバイスユニットにおける信号伝搬遅延と、タイミング信号バスおよびデータバスにおける信号伝搬遅延と、データバスに接続されたデバイスユニットもしくはデバイスにおけるセットアップタイムとに基づいて、データバスにデバイスユニットを活性接続することによって生じるノイズが、データバスに接続されたそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスへ伝搬するタイミングを算出するノイズ伝搬計算ステップと、ノイズ伝搬計算ステップにおいて算出した該タイミングに基づいて、デバイスユニットとデータバスとの接続タイミングを算出する接続タイミング算出ステップとをそなえることを特徴としている。

【0008】

なお、接続タイミング算出ステップにおいて、デバイスユニットとタイミング信号バスとが接続されてからデバイスユニットとデータバスとをバススイッチが接続させるまでの遅延時間 b を算出することにより、デバイスユニットとデータバスとの接続タイミングを算出してもよい（請求項2）。

また、ノイズ伝搬計算ステップにおいて、タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、バススイッチの遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、ノイズのパルス幅（時間） e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ } を、ノイズの伝搬タイミングとして算出し、接続タイミング算出ステップにおいて、タイミングマージン M が0以上となるようなバススイッチの遅延時間 b を算出してもよい（請求項3）。

【0009】

さらに、本発明のデバイスシステム（請求項4）は、複数のデバイスユニットと、このデバイスユニットを活性接続可能に構成されたデータバスと、デバイスユニットにタイミング信号バスを介してタイミング信号を供給可能なタイミング信号供給源と、デバイスユニットとデータバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、このバススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえたバスシステムであって、バススイッチ制御部が、デバイスユニットとタイミング信号バスとが接続されてから遅延時間 b 経過後にデバイスユニットとデータバスとを接続させるようにバススイッチを制御するものであり、遅延時間 b が、タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、バススイッチの遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、

バススイッチの動作遅延時間 d と、データバスにデバイスユニットを活性接続することによって生じるノイズのパルス幅（時間） e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがそのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ } が 0 以上となるような値であることを特徴としている。

【0010】

また、本発明のデバイスユニット（請求項 5）は、データバスとタイミング信号供給源とこのタイミング信号供給源に接続されたタイミング信号バスとをそなえたバスユニットに活性接続可能なデバイスユニットであって、このデバイスユニットとデータバスとの間における信号の接続／切断状態を切替可能に構成されたバススイッチと、バススイッチの接続／切断動作を制御可能なバススイッチ制御部とをそなえ、このバススイッチ制御部が、デバイスユニットとタイミング信号バスとが接続されてから遅延時間 b 経過後にデバイスユニットとデータバスとを接続させるようにバススイッチを制御するものであり、遅延時間 b が、タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、バススイッチの遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、データバスにデバイスユニットを活性接続することによって生じるノイズのパルス幅（時間） e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からこのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがこのデバイスユニット以外のデバイスユニットもしくはそのデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ } が 0 以上となるような値であることを特徴としている。

【発明の効果】

【0011】

本発明のバスシステム設計方法、バスシステムおよびデバイスユニットによれば、以下の効果ないし利点がある。

(1) データバス上でデータ通信を行なっている状態でも、そのノイズの影響を考慮することなくデバイスユニットの脱着を行なうことができるので、バスシステムの信頼性を向上させることができる他、利便性が高い（請求項 1～請求項 5）。

【0012】

(2) デバイスユニットをデータバスに活性接続することによって生じるノイズが、このデータバスに接続された他のデバイスユニットもしくはデータバスに接続されたデバイスに影響を与えることがないので、データバスにおけるデータ転送を停止させることなくデバイスユニットの活性接続を行なうことができるので、データの転送効率を向上させることができる他、デバイスユニットがデータバスに挿入されたか否かの監視や、P C I バスを停止させるための各種の制御が不要であるので、系の制御を簡素化することができ、開発・運用コストを低減することができる（請求項 1～請求項 5）。

【0013】

(3) デバイスユニットとタイミング信号バスとが接続されてからデバイスユニットとデータバスとをバススイッチが接続させるまでの遅延時間 b を算出することにより、デバイスユニットとデータバスとの接続タイミングを算出することにより、デバイスユニットとデータバスとの接続タイミングを容易に決定することができる（請求項 2）。

(4) タイミング信号の周期 T と、タイミング信号供給源からバススイッチ制御部までのスキュー a と、バススイッチの遅延時間 b と、バススイッチ制御部とバススイッチとの間における信号伝搬遅延時間 c と、バススイッチの動作遅延時間 d と、ノイズのパルス幅

(時間) e と、デバイスユニットおよびデータバスにおけるノイズの伝搬遅延時間 f と、タイミング信号供給源からそのデバイスユニット以外のデバイスユニットもしくはデバイスまでのスキュー g と、バスシステムにおけるセットアップタイム S とに基づいて、ノイズがそのデバイスユニット以外のデバイスユニットもしくはデータバスに接続されたデバイスに到達してからセットアップ時間が始まるまでのタイミングマージン M {ただし、 $M = (T + g) - (a + c + d + e + f) - S$ が 0 以上となるようなバススイッチの遅延時間 b を算出することにより、デバイスユニットとデータバスとの接続タイミングを容易に決定することができる (請求項 3 ~ 請求項 5) }。

【発明を実施するための最良の形態】

【0014】

以下、図面を参照して本発明の実施の形態を説明する。

本発明の一実施形態としてのバスシステムは、例えば、複数のディスクユニット (磁気ディスク装置, 物理デバイス) をそなえ、サーバ (ホスト) からのアクセスに応じて、サーバからのデータをこれらのディスクユニットに書き込んだり、又、サーバから要求されたデータをディスクユニットから読み出して転送したりするストレージ装置等において用いられる P C I (Peripheral Component Interconnect) バスをそなえた P C I システムであり、データ信号の送受信を行なうためのものである。

【0015】

上述したストレージ装置においては、ファイバチャネルインターフェースバスを介してサーバとのインターフェース (データ転送) を制御するホストインターフェースモジュールがそなえられており、このホストインターフェースモジュールは、P C I バス等のインターフェースバスを介して P C I ブリッジモジュールに接続され、同じく P C I バスを介して P C I ブリッジモジュールに接続されたディスクインターフェースモジュールや管理モジュール等との間でデータ転送を行なうことができるようになっている。

【0016】

また、ホストインターフェースモジュールは、プリント基板上に C P U やメモリ等を配設することによって構成されたユニットとして構成されており、このようにユニットとして構成されたホストインターフェースモジュールを、P C I バスが形成されたマザーボードに脱着可能に挿入 (接続) することにより、ホストインターフェースモジュールを構成するデバイスが P C I バスにデータ通信可能に接続されるようになっていて、これにより所望の仕様を満たすストレージ装置を構成することができるようになっている。

【0017】

以下、本発明の一実施形態としてのバスシステムとして、ホストインターフェースモジュール等のデバイスユニットを複数個取り付け可能な P C I バスシステムを例に説明する。

図 1 は本発明の一実施形態としてのバスシステム (P C I バスシステム) の構成を模式的に示す図、図 2 はその斜視図である。P C I バスシステム 1 は、図 1 に示すように、マザーボード 2 と複数 (図 1 および図 2 中では 3 つ) のデバイスユニット 3 a, 3 b, 3 c とをそなえて構成されている。これらのデバイスユニット 3 a, 3 b, 3 c は、マザーボード 2 上に形成された取付スロット 1 1 a, 1 1 b, 1 1 c にそれぞれ脱着自在に構成されており、これらの取付スロット 1 1 a, 1 1 b, 1 1 c にそれぞれ取り付ける (挿入する) ことにより、マザーボード 2 の P C I バス 7 に通信可能に接続されるようになっている。又、デバイスユニット 3 a, 3 b, 3 c は、マザーボード 2 が活性状態においても脱着することができるようになっている。

【0018】

なお、以下、マザーボード 2 が活性している状態 (活性状態) でデバイスユニット 3 a, 3 b, 3 c を取り付ける (接続する) ことを活性挿入又は活性接続という場合もある。又、図 2 中には 3 つの取付スロット 1 1 が示されているが、これに限定されるものではなく、2 以下もしくは 4 以上の取付スロット 1 1 をそなえてもよく、又、デバイスユニット 3 a, 3 b, 3 c は、これらのどの取付スロット 1 1 に取り付けてもよい。

【0019】

マザーボード（バスユニット）2は、プリント基板上にP C Iバス7、マザーデバイス8、クロック供給源10および取付スロット11a、11b、11cをそなえて構成されている。P C Iバス7はデータバス7aとクロックバス（タイミング信号バス）7bとをそなえて構成されている。クロック供給源（タイミング信号供給源）10は、クロックバス7bを介してクロック信号（タイミング信号）を本P C Iバスユニット1にそなえられた各デバイスに供給するものである。

【0020】

マザーデバイス8はP C Iバス7を介したデータ信号の送受信に関して種々の処理を行なうものであって、データバス7aおよびクロックバス7bに通信可能に接続されており、クロック供給源10から供給されたクロック信号を受信するようになっている。

データバス7aはマザーデバイス8とデバイスユニット3a、3b、3cとの間でデータ信号を送受信するためのデータ通路である。クロックバス7bはクロック供給源10とデバイスユニット3a、3b、3cやマザーデバイス8とを接続するバスであって、クロック供給源10から供給されたクロック信号を、取付スロット11a、11b、11cを介してデバイスユニット3a、3b、3cに供給するものである。又、データバス7aおよびクロックバス7bは、いずれもその途中部分に取付スロット11a、11b、11cが形成されており、これらの、取付スロット11a、11b、11cを介してデバイスユニット3a、3b、3cをそれぞれ接続することができるようになっている。

【0021】

取付スロット11a、11b、11cは、デバイスユニット3a、3b、3cをマザーボード2に取り付ける（挿入する）ためのもの（接続部）であり、例えばコネクタ等により構成され、デバイスユニット3a、3b、3cが取り付けられた状態で、それぞれ、マザーボード2のクロックバス7bとデバイスユニット3a、3b、3cのバス9aとを接続するとともに、マザーボード2のデータバス7aとデバイスユニット3a、3b、3cのバス9bとを通信可能に接続するようになっている。なお、これらの取付スロット11a、11b、11cは、互いにほぼ同様の構成をそなえており、以下、取付スロットを示す符号としては、複数の取付スロットのうち1つを特定する必要があるときには符号11a、11b、11cを用いるが、任意の取付スロットを指すときには符号11を用いる。

【0022】

デバイスユニット3a、3b、3cは、前述したようにストレージ装置におけるホストインターフェースモジュールであって、プリント基板上にバススイッチ制御部4、バススイッチ6、P C Iデバイス5およびバス9a、9b、9c、9dを配設することによって構成され、マザーボード2に形成された取付スロット11a、11b、11cに脱着可能に取り付けることができるようになっている。

【0023】

なお、これらのデバイスユニット3a、3b、3cは、互いにほぼ同様の構成をそなえており、以下、デバイスユニットを示す符号としては、複数のデバイスユニットのうち1つを特定する必要があるときには符号3a、3b、3cを用いるが、任意のデバイスユニットを指すときには符号3を用いる。

また、以下、本実施形態においては、取付スロット11aにデバイスユニット3aを取り付けるものとし、又、取付スロット11bにデバイスユニット3bを、更に、取付スロット11cにデバイスユニット3cをそれぞれ取り付けるものとする。本実施形態においては、デバイスユニット3a、3b、3cは、互いにほぼ同様の構成をそなえているので、取付スロット11aに取り付けるデバイスユニット3をデバイスユニット3aとして特定することができ、同様に、取付スロット11bに取り付けるデバイスユニット3をデバイスユニット3b、取付スロット11cに取り付けるデバイスユニット3をデバイスユニット3cとしてそれぞれ特定することができるのである。

【0024】

なお、デバイスユニット3が、ストレージ装置におけるホストインターフェースモジュ

ールである場合には、これらの各デバイスユニット3は、上述したバススイッチ制御部4、PCIデバイス5、バススイッチ6およびバス9a、9b、9c、9dの他に、メモリやCPU、ファイバーチャネルインターフェースをそなえて構成されているのであるが、図1中においては、便宜上これらのメモリやCPU、ファイバーチャネルインターフェースを図示せず、PCIバス7を用いたデータ信号の送受信に関係する、バススイッチ制御部4、PCIデバイス5、バススイッチ6およびバス9a、9b、9c、9dのみをデバイスユニット3中に示している。

【0025】

デバイスユニット3においては、バススイッチ制御部4とバススイッチ6とがバス9bを介して通信可能に接続されており、又、PCIデバイス5とバススイッチ6とがバス9cを介して通信可能に接続されている。又、デバイスユニット3においては、このデバイスユニット3を取付スロット11を介してマザーボード8に取り付けた際に、マザーボード2に形成されたクロックバス7bにバススイッチ制御部4やPCIデバイス5が通信可能に接続されるようにバス9aが形成されており、同様に、このデバイスユニット3を取付スロット11を介してマザーボード8に取り付けた際に、バススイッチ6がデータバス7aと通信可能に接続されるようにバス9dが形成されている。

【0026】

PCIデバイス5は、PCIバス7（データバス7a）を介してマザーボード2や他のデバイスユニット3との間におけるデータ信号の送受信に関する種々の処理を行なうものであって、クロック供給部10からクロックバス7bおよび取付スロット11を介して供給されたクロック信号がバス9aを介して入力されるようになっており、PCIデバイス5は、このクロック信号に基づいて動作し、バス9c、バススイッチ6、バス9dおよび取付スロット11を介してデータバス7aとの間でデータ信号を入出力するようになっている。

【0027】

バススイッチ6は、PCIデバイス5とデータバス7a（取付スロット11）との間にそなえられ、バス9cとバス9dとの接続／切断状態を切り替えることにより、PCIデバイス5とデータバス7aとの間におけるデータ信号の接続／切断状態を切り替えるものである。又、このバススイッチ6は、バススイッチ制御部4による制御（接続命令、開命令等）に従ってその接続／切断状態を切り換えるようになっている。

【0028】

バススイッチ制御部4は、バススイッチ6の接続／切断動作を制御するものである。このバススイッチ制御部4には、クロック供給部10からクロックバス7bおよび取付スロット11を介して供給されたクロック信号がバス9aを介して入力されるようになっており、バススイッチ制御部4は、このクロック信号に基づいて動作するようになっている。そしてバススイッチ制御部4は、バススイッチ6の接続（開）タイミングを制御することにより、PCIデバイス5を任意のタイミングでデータバス7に接続することができるようになっている。具体的には、バススイッチ制御部4は、デバイスユニット3（バススイッチ制御部4）とクロックバス7bとが接続されてから予め設定された時間b（遅延時間b；詳細は後述）経過後にデバイスユニット5（PCIデバイス5）とデータバス7aとを接続させるようにバススイッチ6を制御するようになっている。

【0029】

そして、上述の如く構成されたデバイスユニット3を、図2に示すように、マザーボード2に形成された取付スロット11に挿入することにより、デバイスユニット3におけるバス9aの一端がマザーボード2に形成されたクロックバス7bに通信可能に接続されるとともに、デバイスユニット3におけるバス9dの一端がマザーボード2に形成されたデータバス7aに通信可能に接続されるのである。なお、図2に示す例においては、便宜上、各デバイスユニット3にPCIデバイス5のみを示し、バススイッチ制御部4やバススイッチ6等の他の構成部品は省略している。

【0030】

次に、本発明の一実施形態としてのPCIバスシステム1における、バススイッチ制御部4がバススイッチ6の開制御を行なうための遅延時間bの算出手法（バスシステム設計方法）について説明する。

図3（1）～（7）は本発明の一実施形態としてのPCIバスシステム（バスシステム）1にデバイスユニット3を活性接続した際におけるタイミングチャートを示す図であり、図3（1）はクロック供給源10が出力するクロック（ベースクロック）信号を示す図、図3（2）はバススイッチ制御部4に入力されるクロック信号を示す図、図3（3）はバススイッチ制御部4からバススイッチ6に対する接続命令信号を示す図、図3（4）はバススイッチの接続イネーブル（Out Enable）状態を示す図、図3（5）はデバイスユニット3から発生するノイズを示す図、図3（6）は他のデバイスユニットに伝搬したノイズを示す図、図3（7）は他のデバイスユニットに入力されるクロック信号を示す図である。

【0031】

なお、これらの図3（1）～（7）においては、図1に示すPCIバスシステム1においてデバイスユニット3（3a）をマザーボード2の取付スロット11aに活性接続した場合について説明するものである。

本バスシステム設計方法においては、これらの図3（1）～（7）に示すような、クロック供給源10のクロック周期Tと、デバイスユニット3における信号伝搬遅延と、PCIバス7（クロックバス7b、データバス7a）における信号伝搬遅延と、データバス7aに接続されたデバイスユニット3もしくはその他のデバイス（例えばマザーボード2や他のデバイス）におけるセットアップタイムとに基づいて、データバス7aにデバイスユニット3を活性接続することによって生じるノイズが、このデータバス7aに接続されたデバイスユニット3以外のデバイスユニット3もしくはこのデータバス7aに接続された他デバイス（マザーデバイス8等）へ伝搬するタイミングを算出するようになっている（ノイズ伝搬計算ステップ）。

【0032】

例えば、マザーボード2にデバイスユニット3aを挿入・接続することにより、デバイスユニット3aのバス9aがクロックバス7bに接続されるとともに、バス9dがデータバス7aに接続される。その後、クロック供給源10からクロック信号が出力されると（図3（1）のA点参照）、そのクロック信号はクロックバス7bおよびバス9aを介して、デバイスユニット3aのバススイッチ制御部4に時間a遅延して到達する（図3（2）のB点参照）。この時間aはクロック供給源10からバススイッチ制御部4までのクロックスキュー（スキュー）aである。

【0033】

バススイッチ制御部4は、クロック信号が入力されてから遅延時間b経過後にバススイッチ6に対して接続命令（開命令）信号を出力する（図3（3）のC点参照）。バススイッチ制御部4から出力された接続命令信号がバス9bを介してバススイッチ6に到達するまでに、バス9bにおける伝送遅延によって時間c（信号伝達遅延時間c）を要し、更に、バススイッチ6においては、接続命令信号を受信してからバス9cとバス9dとを接続（Out Enable）状態にするまでに、開動作時間（動作遅延時間）dがかかる（図3（4）のD点参照）。

【0034】

そして、バススイッチ6が開状態になるとデバイスユニット3aから所定のパルス幅eのノイズが発生する（図3（5）のE点参照）。なお、本実施形態においては、このノイズが発生している時間eのことをノイズのパルス幅というものとする。

また、このデバイスユニット3aから発生したノイズは、バス9dやデータバス7aにおける伝送遅延によって時間f（ノイズの伝達遅延f）だけ遅れて他のデバイスユニット3b、3cに伝達する（図3（6）のF点参照）。

【0035】

一方、クロック供給源10から供給されたクロック信号が、マザーボード2にそなえら

れた複数のデバイスユニット 3 の内デバイスユニット 3 a 以外のデバイスユニット 3 b, 3 c に到達するまでに、クロックバス 7 b において時間 g の伝搬遅延（クロックスキュー, スキュー）が生じる（図 3（7）の G 点参照）。

なお、上述したクロックスキュー a, 信号伝達遅延時間 c, ノイズのパルス幅 e, ノイズの伝達遅延 f およびクロックスキュー g はマザーボード 2 やデバイスユニット 3 の回路設計やプリント板の構成（例えば、回路長や材質, チップ性能等）によって定まるものであり、バススイッチ 6 の動作遅延時間 d やセットアップタイム S はデバイスユニット 3 の仕様によって定まるものである。

【0036】

さて、デバイスユニット 3 やマザーデバイス 8 等において、クロック供給源 10 から供給されるタイミング信号（クロック信号やデータストローブ信号）に基づいて動作する各種デバイスは、そのクロック信号の立ち上がりエッジもしくは立ち下がりエッジにおいて各処理を行なっているが、一般に、このような各種デバイスにおいては、クロック信号（タイミング信号）に先立ってデータ信号を確保・保持しておく必要があり、一般に、このデータ信号の確定・保持にかかる最小限の時間をセットアップタイム（Setup Time）という。なお、図 3（7）においては、このセットアップタイム S に斜線を付して表わしている。

【0037】

このようなセットアップタイムは半導体製品毎やバス規格毎に予め規定されており、タイミング信号の立ち上がりエッジもしくは立ち下がりエッジを基準として、セットアップタイム以上前にデータ信号を確定させる必要がある。従って、マザーボード 2 にデバイスユニット 3 を活性接続するに際して、そのデバイスユニット 3 の活性接続によって生じるノイズが、そのデバイスユニット 3 が接続される P C I バス 7 に接続された他のデバイスユニット 3 やその他のデバイスにおいて、それぞれ、そのセットアップタイム S に重ならないようにすることにより、かかるノイズの影響による不具合を無くすることができる。

【0038】

そこで、本発明のバスシステム設計方法においては、先ず、デバイスユニット 3 の活性接続によって生じるノイズが、デバイスユニット 3 が接続される P C I バス 7 に接続された他のデバイスユニット 3 やその他のデバイスへ到達時（図 3（6）の H 点参照）と、そのデバイスユニット 3 が接続される P C I バス 7 に接続された他のデバイスユニット 3 やその他のデバイスにおけるセットアップタイムの終了時（図 3（6）の I 点参照）との時間間隔、すなわち、ノイズが活性接続されたデバイスユニット 3 以外のデバイスユニット 3 もしくはデバイスに到達してからセットアップ時間が始まるまでの時間を、タイミングマージン M として算出し（ノイズ伝搬計算ステップ）、このタイミングマージン M が 0 以上となるような遅延時間 b を算出するのである（タイミング算出ステップ）。具体的には、タイミングマージン M を、以下に示す式（1）に基づいて求める。

$$M = (T + g) - (a + b + c + d + e + f) - S \quad \cdots (1)$$

【0039】

ただし、a はクロック供給源 10 からバススイッチ制御部 4 までのクロックスキュー、c は、バススイッチ制御部 4 から出力された接続命令信号がバス 9 b を介してバススイッチ 6 に到達するまでに要するバス 9 b におけるクロック信号の伝送遅延、d は、バススイッチ 6 において、接続命令信号を受信してからバス 9 c とバス 9 d とを接続（Out Enable）状態にするまでに要する開動作時間（動作遅延時間）、e はノイズのパルス幅（時間）、f は、デバイスユニット 3 a から発生したノイズが他のデバイスユニット 3 b, 3 c に伝達するまでに、バス 9 d やデータバス 7 a において生じる伝送遅延、g はクロック供給源 10 から供給されたクロック信号が、マザーボード 2 にそなえられた複数のデバイスユニット 3 の内デバイスユニット 3 a 以外のデバイスユニット 3 b, 3 c に到達するまでに、クロックバス 7 b において生じる伝搬遅延であり、活性接続を行なったデバイスユニッ

ト3とこのデバイスユニット3以外のデバイスユニット3もしくは同一のデータバス7aに接続された他のデバイスとのクロックスキュー（スキュー）である。

【0040】

すなわち、上記（1）式に基づいて求められるタイミングマージンMが0以上となるように、各パラメータ（クロック供給源のクロック周期T、クロック供給源10からバススイッチ6の接続／切断動作を制御可能なバススイッチ制御部4までのクロックスキューa、バススイッチ6の遅延時間b、バススイッチ制御部4とバススイッチ6との間における信号伝搬遅延時間c、バススイッチ6の動作遅延時間d、ノイズのパルス幅（時間）e、デバイスユニット3およびデータバス7aにおけるノイズの伝搬遅延時間f、クロック供給源10からそのデバイスユニット3以外のデバイスユニット3もしくはそのデータバス7aに接続された他のデバイスまでのクロックスキューgおよび本PCIバスシステム1におけるセットアップタイムS）を設定すればよい。

【0041】

本実施形態においては、バススイッチ制御部4が、デバイスユニット3（バススイッチ制御部4）とクロックバス7bとが接続されてからデバイスユニット5（PCIデバイス5）とデータバス7aとを接続させるまでの時間b（遅延時間b）を調整・設定することによりタイミングマージンMの設定を行なう。

すなわち、遅延時間bは、上記（1）式に基づいて求められるタイミングマージンMが0以上となるような値として求められる。

【0042】

そして、マザーボード2に複数のデバイスユニット3をそれぞれ活性接続可能にするためには、その設計段階において、これらの複数のデバイスユニット3の活性接続によってそれぞれ生じる各ノイズが、各デバイスユニット3におけるセットアップタイムに重ならないような遅延時間bをそれぞれ算出する必要がある。

例えば、図1に示すように、マザーボード2に3つのデバイスユニット3a、3b、3cを活性接続可能にそなえるPCIバスユニット1を設計するためには、各デバイスユニット3a、3b、3cの活性接続によって生じるノイズが互いに影響を及ぼさないようにする必要があり、このために、デバイスユニット3aの活性挿入により生じるノイズが、デバイスユニット3b、3cのいずれにおいても各セットアップタイムに重ならないようにするとともに、デバイスユニット3bの活性挿入により生じるノイズが、デバイスユニット3a、3cのいずれにおいても各セットアップタイムに重ならないようにし、更に、デバイスユニット3cの活性挿入により生じるノイズが、デバイスユニット3a、3bのいずれにおいても各セットアップタイムに重ならないようにすることが重要である。

【0043】

すなわち、各デバイスユニット3a、3b、3cについて、このような条件を満たす遅延時間bをそれぞれ算出するためには、まず、デバイスユニット3aを活性接続するためのタイミングマージンM1を以下の式（2）に基づいて求めるとともに、デバイスユニット3bを活性接続するためのタイミングマージンM2を以下の式（3）に基づいて求め、更に、デバイスユニット3cを活性接続するためのタイミングマージンM3を以下の式（4）に基づいて求める。

$$M1 = \min \left[\begin{aligned} &\{ (T + g_{12}) - (a + b + c + d + e + f_{12}) - S \}, \\ &\{ (T + g_{13}) - (a + b + c + d + e + f_{13}) - S \} \end{aligned} \right] \cdots (2)$$

【0044】

ただし、以下、式中において既述の符号と同一の符号は同一もしくは略同一の部分を示すものとし、又、式 $\min[a, b]$ は、aとbとのうち小さい方を選択する旨を示すものである。又、 g_{12} はデバイスユニット3aとデバイスユニット3bとのクロックスキューであり、 g_{13} はデバイスユニット3aとデバイスユニット3cとのクロックスキューである。又、 f_{12} はデバイスユニット3aからデバイスユニット3bへのノイズの伝搬時間

であり、 f_{13} はデバイスユニット3 aからデバイスユニット3 cへのノイズの伝搬時間である。

$$M2 = \min \left[\begin{aligned} &\{ (T + g_{21}) - (a + b + c + d + e + f_{21}) - S \}, \\ &\{ (T + g_{23}) - (a + b + c + d + e + f_{23}) - S \} \end{aligned} \right] \dots (3)$$

【0045】

ただし、 g_{21} はデバイスユニット3 bとデバイスユニット3 aとのクロックスキューであり、本実施形態においては上記 g_{12} と同一である。又、 g_{23} はデバイスユニット3 bとデバイスユニット3 cとのクロックスキューである。又、 f_{21} はデバイスユニット3 bからデバイスユニット3 aへのノイズの伝搬時間であり、本実施形態においては上記 f_{21} と同一である。 f_{23} はデバイスユニット3 bからデバイスユニット3 cへのノイズの伝搬時間である。

$$M3 = \min \left[\begin{aligned} &\{ (T + g_{31}) - (a + b + c + d + e + f_{31}) - S \}, \\ &\{ (T + g_{32}) - (a + b + c + d + e + f_{32}) - S \} \end{aligned} \right] \dots (4)$$

【0046】

ただし、 g_{31} はデバイスユニット3 cとデバイスユニット3 aとのクロックスキューであり、本実施形態においては上記 g_{13} と同一である。又、 g_{32} はデバイスユニット3 cとデバイスユニット3 bとのクロックスキューであり、本実施形態においては上記 g_{23} と同一である。又、 f_{31} はデバイスユニット3 cからデバイスユニット3 aへのノイズの伝搬時間であり、本実施形態においては上記 f_{13} と同一である。 f_{32} はデバイスユニット3 cからデバイスユニット3 bへのノイズの伝搬時間であり、本実施形態においては上記 f_{23} と同一である。

【0047】

そして、上記のタイミングマージン $M1$ 、 $M2$ 、 $M3$ がいずれも0以上となるような遅延時間 b を算出した後、各デバイスユニット3において、バススイッチ制御部4に、デバイスユニット3（バススイッチ制御部4）とクロックバス7 bとが接続されてから予め設定された時間 b （遅延時間 b ）経過後にデバイスユニット5（PCIデバイス5）とデータバス7 aとを接続させるように設定（設計）する。かかる設定は、例えば、バススイッチ制御部4に遅延回路を持たせたり、バススイッチ制御部4内においてかかる遅延時間 b に相当する伝送遅延が生じるような回路長を設計したりすることにより容易に実現することができる。

【0048】

本発明の一実施形態としてのPCIバスシステム（バスシステム）1によれば、上述の如くPCIバスシステム1を設計することにより、マザーボード2に形成された複数の取付スロット11のうち、いずれの取付スロット11にデバイスユニット3を活性挿入（活性接続）しても、その活性接続によって生じるノイズが、PCIバス7上に取り付けられた他のデバイスユニット3に影響を及ぼすことがなく、PCIバスシステム1の信頼性を向上させることができる他、PCIバス7上でデータ通信を行なっている状態でも、そのノイズの影響を考慮することなくデバイスユニット3の脱着を行なうことができるので、利便性が高い。

【0049】

また、デバイスユニット3をマザーボード2に接続する際に、マザーボード2を不活性化（電源断等）する必要がなく、データ転送を効率よく行なうことができる。又、デバイスユニット3の接続に際してPCIバスを停止させるための制御が不要であるので、システムを簡素化することができ製造コストや運用コストを低減することができる。

さらに、式（2）～（4）を用いて示したように、各デバイスユニット3において、そのデバイスユニット3の活性挿入により生じるノイズがそれぞれ他のデバイスユニット3

のいずれにおいても各セットアップタイムに重ならないように、各デバイスユニット 3 にそなえられたバススイッチ制御部 4 について共通の遅延時間 b を設定しているので、デバイスユニット 3 毎に個別の設定を行なう必要がなく、製造コストを低減することができるとともに、利便性が向上する。

【0050】

また、各デバイスユニット 3 が互いにほぼ同様の構成をそなえるとともに、そのバススイッチ制御部 4 について共通の遅延時間 b を設定しているので、各デバイスユニット 3 をどの取付スロット 11 に取り付けてもよく利便性が高い。

なお、上述した実施形態に関わらず、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

【0051】

例えば、上述した実施形態においては、タイミング信号としてクロック供給源 10 から供給されるクロック信号を用いているが、これに限定されるものではなく、例えばタイミング信号としてデータストローブ信号を用いてもよい。

また、上述した実施形態においては、図 3 (3) および図 3 (4) に示す例において、バススイッチ制御部 4 から出力される接続命令信号やバススイッチ 6 におけるイネーブル状態は、立ち下がりエッジを基準にしているが、これに限定されるものではなく、立ち上がりエッジを基準にしてもよい。

【0052】

同様に、図 3 (1), 図 3 (2), 図 3 (5) ~ 図 3 (7) に示す例に示す各種の信号は立ち上がりエッジを基準にしているが、これに限定されるものではなく、立ち下がりエッジを基準にしてもよい。

また、上述した実施形態においては、マザーボード 2 において、マザーデバイス 8 内部部にクロック供給源 (タイミング信号供給源) 10 がそなえられているが、これに限定されるものではなく、マザーデバイス 8 の外部にクロックバス供給源 10 をそなえ、このクロックバス供給源 10 からクロックバス 7b にクロック信号を供給してもよい。

【0053】

さらに、図 3 を用いて説明した上述した実施形態においては、マザーボード 2 に 3 つのデバイスユニット 3a, 3b, 3c を活性接続可能にそなえる P C I バスユニット 1 を設計するに際して、各デバイスユニット 3a, 3b, 3c の活性接続によって生じるノイズの影響を互いに受けないようにタイミングマージン $M1$, $M2$, $M3$ をそれぞれ求めて、遅延時間 b を決定しているが、これに限定されるものではなく、デバイスユニット 3 を活性接続することによって生じるノイズが、P C I バス 7 に接続された他のデバイスにおけるセットアップタイムに影響を与えない、すなわち、ノイズがそのセットアップタイムに重ならないようにすることも重要である。

【0054】

以下に、P C I バス 7 に接続された他のデバイスとしてマザーデバイス 8 を考慮した場合の例を説明する。マザーボード 2 に 3 つのデバイスユニット 3a, 3b, 3c を活性接続可能にそなえる P C I バスユニット 1 において、デバイスユニット 3a, 3b, 3c をそれぞれ活性接続することによって生じるノイズが、それぞれ他のデバイスユニット 3a, 3b, 3c に互いに影響を与えないようにするとともに、これらのノイズがマザーデバイス 8 にも影響を与えないようにするためには、まず、デバイスユニット 3a を活性接続するためのタイミングマージン $M1'$ を以下の式 (5) に基づいて求めるとともに、デバイスユニット 3b を活性接続するためのタイミングマージン $M2'$ を以下の式 (6) に基づいて求め、更に、デバイスユニット 3c を活性接続するためのタイミングマージン $M3'$ を以下の式 (7) に基づいて求める。

$$M1' = \min \left[\begin{aligned} &\{ (T + g_{12}) - (a + b + c + d + e + f_{12}) - S \}, \\ &\{ (T + g_{13}) - (a + b + c + d + e + f_{13}) - S \}, \\ &\{ (T + g_{1m}) - (a + b + c + d + e + f_{1m}) - S \} \cdots (5) \end{aligned} \right]$$

【0055】

ただし、以下、式中において既述の符号と同一の符号は同一もしくは略同一の部分を示すものとし、又、式 $\min [a, b, c]$ は、 a 、 b および c のうち最も小さいものを選択する旨を示すものである。又、 g_{1m} はデバイスユニット 3a とマザーデバイス 8 とのクロックスキューであり f_{1m} はデバイスユニット 3a からマザーデバイス 8 へのノイズの伝搬時間である。

$$M2' = \min \left[\begin{aligned} & \{ (T + g_{21}) - (a + b + c + d + e + f_{21}) - S \}, \\ & \{ (T + g_{23}) - (a + b + c + d + e + f_{23}) - S \}, \\ & \{ (T + g_{2m}) - (a + b + c + d + e + f_{2m}) - S \} \end{aligned} \right] \cdots (6)$$

【0056】

ただし、 g_{2m} はデバイスユニット 3b とマザーデバイス 8 とのクロックスキューであり、 f_{2m} はデバイスユニット 3b からマザーデバイス 8 へのノイズの伝搬時間である。

$$M3' = \min \left[\begin{aligned} & \{ (T + g_{31}) - (a + b + c + d + e + f_{31}) - S \}, \\ & \{ (T + g_{32}) - (a + b + c + d + e + f_{32}) - S \}, \\ & \{ (T + g_{3m}) - (a + b + c + d + e + f_{3m}) - S \} \end{aligned} \right] \cdots (7)$$

【0057】

ただし、 g_{3m} はデバイスユニット 3c とマザーデバイス 8 とのクロックスキューであり、 f_{3m} はデバイスユニット 3c からマザーデバイス 8 へのノイズの伝搬時間である。

【0058】

そして、上記のタイミングマージン $M1'$ 、 $M2'$ 、 $M3'$ がいずれも 0 以上となるように、各パラメータ（クロック供給源のクロック周期 T 、クロック供給源 10 からバススイッチ 6 の接続／切断動作を制御可能なバススイッチ制御部 4 までのクロックスキュー a 、バススイッチ 6 の遅延時間 b 、バススイッチ制御部 4 とバススイッチ 6 との間における信号伝搬遅延時間 c 、バススイッチ 6 の動作遅延時間 d 、ノイズのパルス幅（時間） e 、デバイスユニット 3 およびデータバス 7a におけるノイズの伝搬遅延時間 f 、クロック供給源 10 からそのデバイスユニット 3 以外のデバイスユニット 3 もしくはそのデータバス 7a に接続された他のデバイスまでのクロックスキュー g および本 PCI バスシステム 1 におけるセットアップタイム S ）を設定する。

【0059】

これにより、マザーボード 2 に 3 つのデバイスユニット 3a、3b、3c を活性接続可能にそなえる PCI バスユニット 1 において、デバイスユニット 3a、3b、3c をそれぞれ活性接続することによって生じるノイズが、それぞれ他のデバイスユニット 3a、3b、3c やマザーデバイス 8 に影響を与えないような PCI バスシステム 1 を容易に設計することができる。

【0060】

また、上述した実施形態においては、バスシステムとして PCI バスシステムを例として示したが、これに限定されるものではなく、例えば、ISA (Industry Standard Architecture) バスや NuBus 等の他のバスシステムに適用してもよい。

さらに、上述した実施形態においては、PCI バスシステム 1 が 3 つのデバイスユニット 3a、3b、3c をそなえて構成されているが、これに限定されるものではなく、2 つ以下、もしくは 4 つ以上のデバイスユニット 3 をそなえてもよい。又、これらの複数のデバイスユニット 3 がそれぞれ異なる構成をそなえてもよい。

【0061】

なお、本発明の各実施形態が開示されていれば、本発明のバスシステム設計方法、バスシステムおよびデバイスユニットを当業者によって実施・製造することが可能である。

【産業上の利用可能性】**【0062】**

例えば、P C Iバス等のバスシステムにおいて、デバイスユニットを活性接続することによって生じるノイズが他のデバイスユニットや同一バスに接続された他のデバイスに影響を与えることがないようにする工夫を施すことにより、同一バスに対して複数のデバイスユニットの活性接続を実現することができる。

【図面の簡単な説明】**【0063】**

【図1】本発明の一実施形態としてのバスシステム（P C Iバスシステム）の構成を模式的に示す図である。

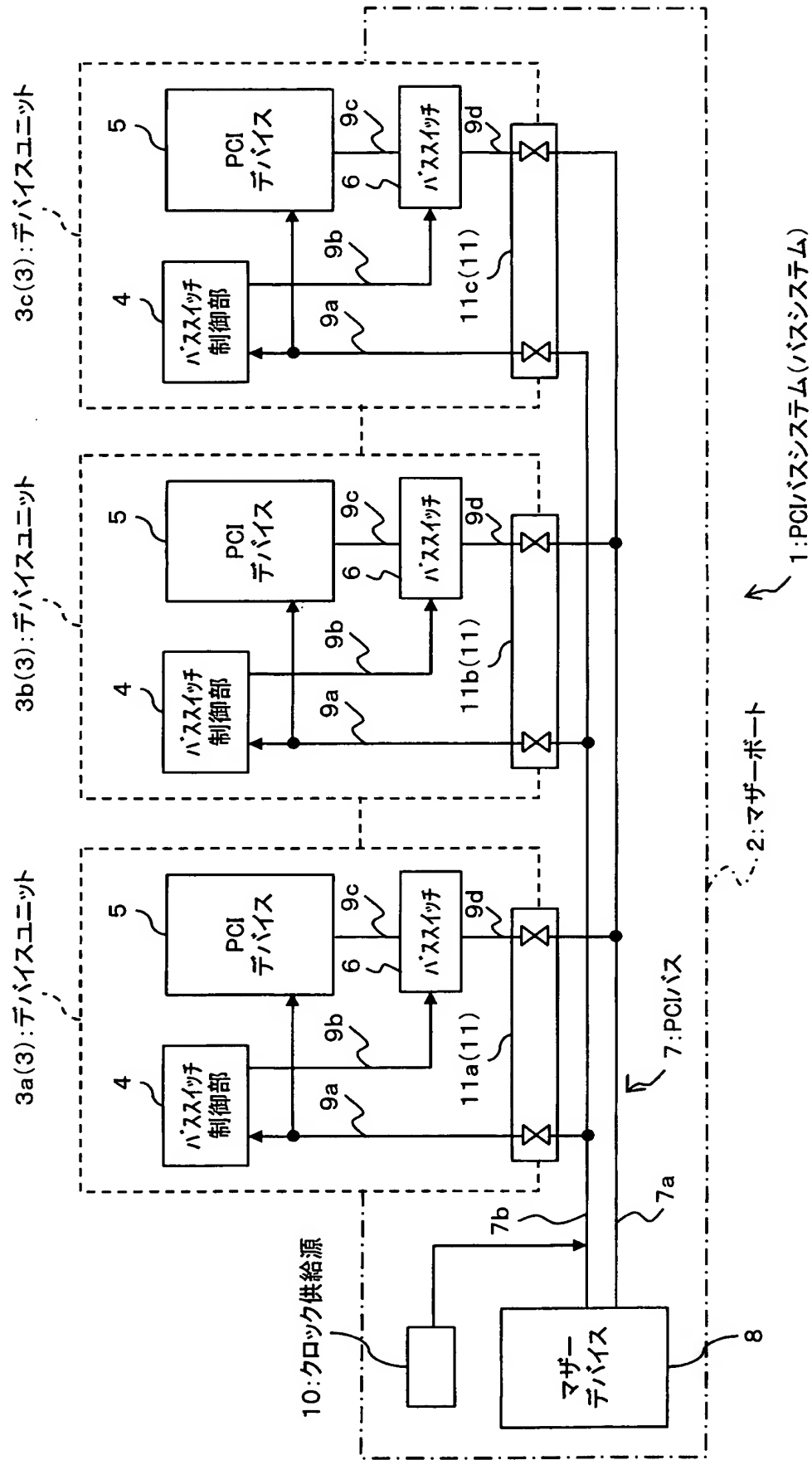
【図2】本発明の一実施形態としてのバスシステム（P C Iバスシステム）の斜視図である。

【図3】（1）～（7）は本発明の一実施形態としてのP C Iバスシステム（バスシステム）にデバイスユニットを活性接続した際におけるタイミングチャートを示す図である。

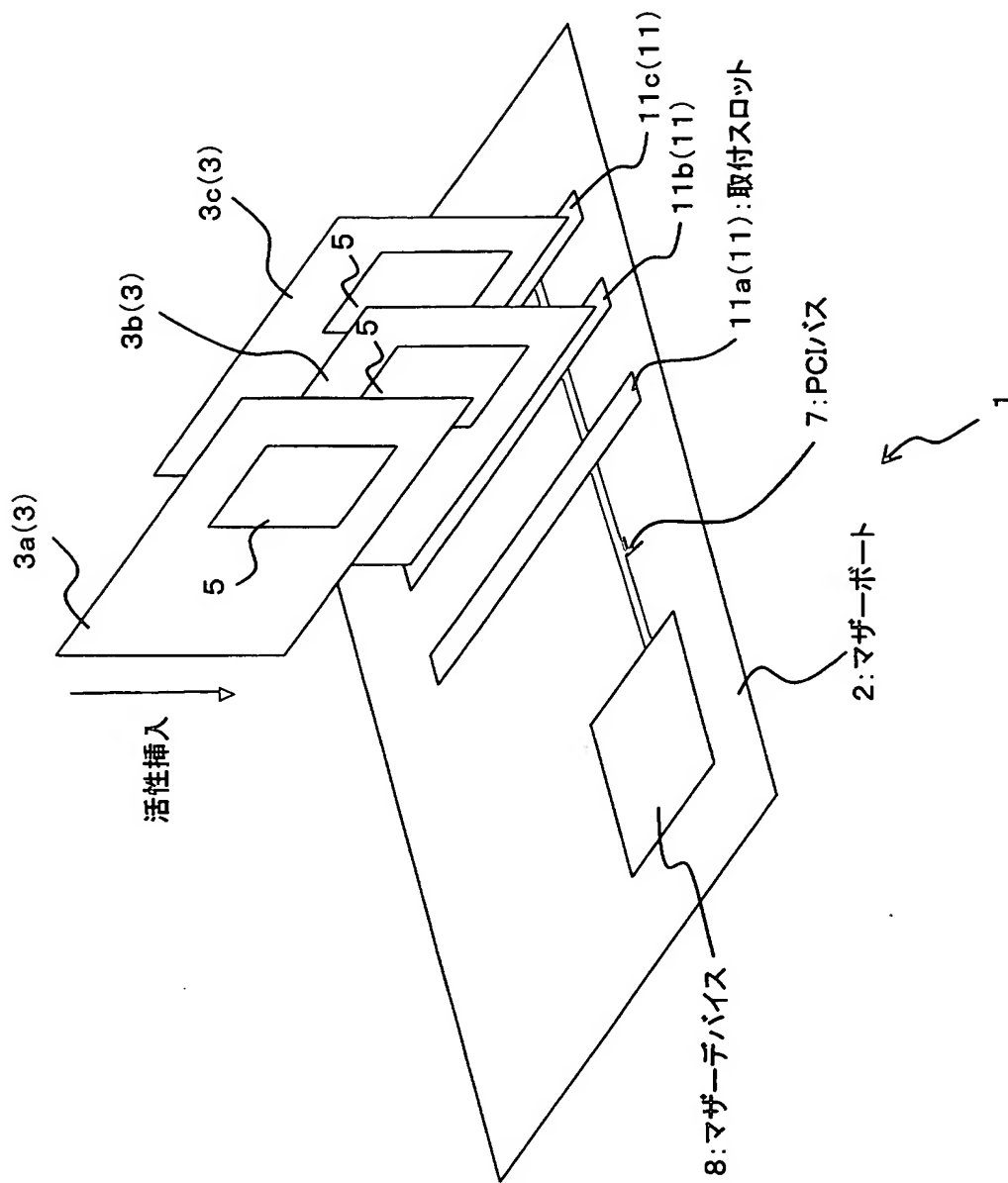
【符号の説明】**【0064】**

- 1 P C Iバスシステム（バスシステム）
- 2 マザーボード
- 3, 3 a, 3 b, 3 c デバイスユニット
- 4 バススイッチ制御部
- 5 P C Iデバイス
- 6 バススイッチ
- 7 P C Iバス
- 7 a データバス
- 7 b クロックバス（タイミング信号バス）
- 8 マザーデバイス
- 9 a, 9 b, 9 c バス
- 10 クロック供給源（タイミング信号供給源）
- 11, 11 a, 11 b, 11 c 取付スロット

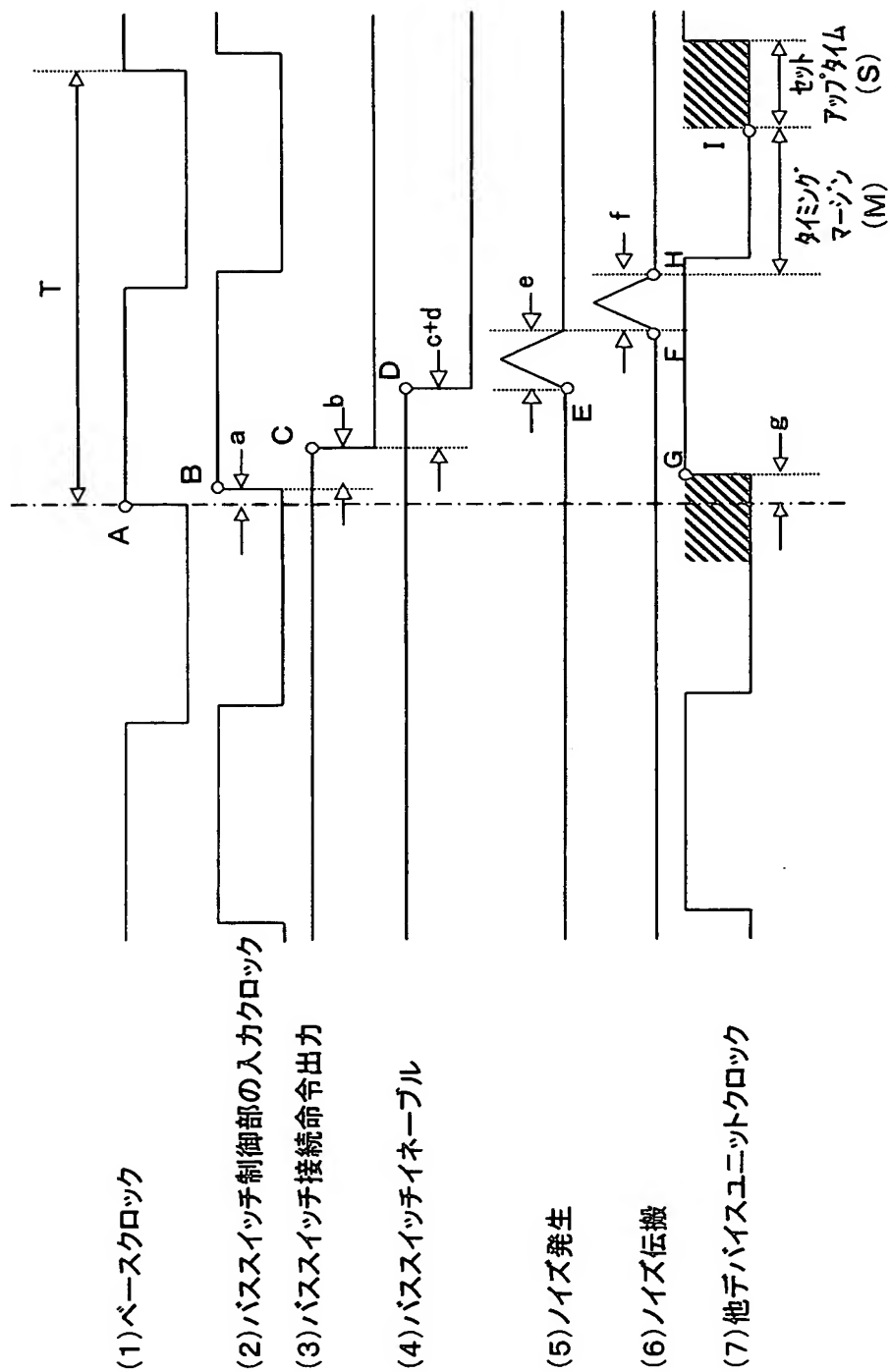
【書類名】 図面
【図 1】



【図 2】



【図 3】



【書類名】 要約書**【要約】**

【課題】 デバイスユニットの活性接続を行なっても、同一のデータバスに接続された他のデバイスユニットやデバイスにノイズの影響がないようにする。

【解決手段】 タイミング信号の周期と、デバイスユニットにおける信号伝搬遅延と、タイミング信号バスおよびデータバスにおける信号伝搬遅延と、データバスに接続されたデバイスユニットもしくはデバイスにおけるセットアップタイムとに基づいて、データバスにデバイスユニットを活性接続することによって生じるノイズが、データバスに接続された他のデバイスユニットもしくはデバイスへ伝搬するタイミングを算出するノイズ伝搬計算ステップと、このノイズ伝搬計算ステップにおいて算出したタイミングに基づいて、デバイスユニットとデータバスとの接続タイミングを算出する接続タイミング算出ステップとをそなえるように構成する

【選択図】 図 1

特願 2 0 0 3 - 2 9 4 8 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社